

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095255

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

G02F 1/136

G09F 9/30

H01L 29/786

(21)Application number : 09-258650

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.09.1997

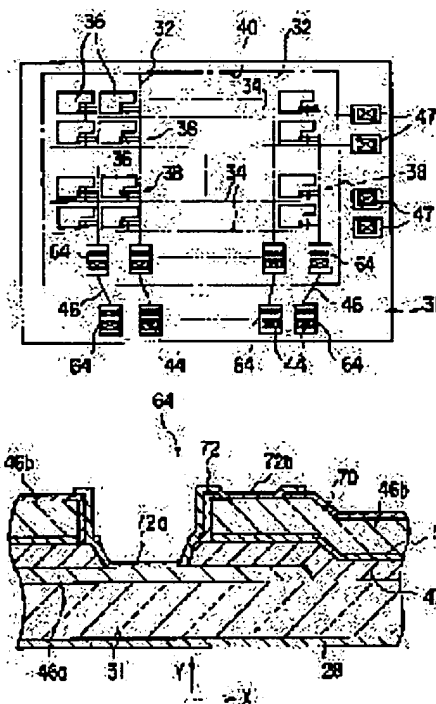
(72)Inventor : KAWANO HIDEO

## (54) ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE HAVING THIS SUBSTRATE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an array substrate of a liquid crystal display device capable of simplifying processing stages and obtaining an excellent display grade and the liquid crystal display device having the same.

**SOLUTION:** The extraction wiring parts 46 of signal lines 32 installed on the array substrate are composed of a laminated structure having a first wiring layer 46a and a second wiring layer 46b laminated on this first wiring layer via an insulating layer 43. Connecting patterns 72 electrically connected to the first and second first wiring layers are formed of pixel electrode layers common with the pixel electrodes. The width of the first connecting regions 72a connected to the first wiring layer and the second connecting region 72b connected to the second wiring layer 46b is formed broader than the spacing between the first and second connecting regions.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-95255

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

G 0 9 F 9/30

3 3 8

G 0 9 F 9/30

3 3 8

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 C

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平9-258650

(22) 出願日

平成9年(1997) 9月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川野 英郎

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

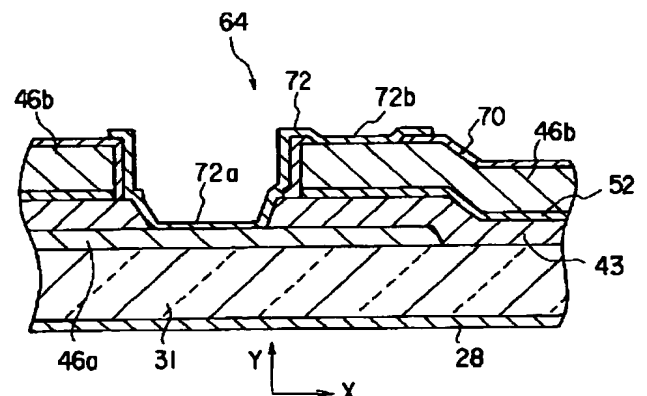
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 液晶表示装置のアレイ基板、およびこれを備えた液晶表示装置

(57) 【要約】

【課題】 製造工程の簡略化を図れるとともに、優れた表示品位を得ることが可能な液晶表示装置のアレイ基板、およびこれを備えた液晶表示装置を提供することにある。

【解決手段】 アレイ基板上に設けられた信号線32の引出し配線部46は、第1配線層46a、および絶縁層43を介して第1配線層上に積層された第2配線層46bを有する積層構造に構成されている。第1および第2配線層を電氣的に接続した接続パターン72は、画素電極と共通の画素電極層によって形成され、第1配線層に接続した第1接続領域72a、および第2配線層46bに接続した第2接続領域72bの幅は、これら第1および第2接続領域間の間隔よりも幅広に形成されている。



**【特許請求の範囲】****【請求項 1】** 絶縁基板と、

上記絶縁基板上に設けられた複数の配線と、  
上記絶縁基板上に設けられ、それぞれスイッチング素子を介して上記配線に電氣的に接続された複数の画素電極と、

上記配線に接続されているとともに、絶縁層を介して積層された第 1 配線層および第 2 配線層を有する積層構造部と、を備え、

上記積層構造部は、上記第 1 配線層と第 2 配線層とを互いに接続した接続部を有し、上記接続部は、上記画素電極を形成した画素電極層と共通の導電層からなる接続パターンを有し、

上記接続パターンは、上記第 1 配線層に接続された第 1 接続領域と、上記第 2 配線層に接続された第 2 接続領域と、を備え、第 1 および第 2 接続領域の幅は、それぞれ上記第 1 および第 2 接続領域間の間隔よりも広く形成されていることを特徴とする表示装置のアレイ基板。

**【請求項 2】** 上記スイッチング素子は、半導体層と金属層とを積層して構成された薄膜トランジスタを有し、

上記積層構造部は、上記薄膜トランジスタの半導体層および金属層とそれぞれ共通の半導体層および金属層を含み、上記接続パターンは上記接続部の最上層に位置していることを特徴とする請求項 1 に記載の液晶表示のアレイ基板。

**【請求項 3】** 絶縁基板と、

上記絶縁基板上にマトリクス状に設けられた複数の走査線および信号線と、

上記絶縁基板上に設けられ表示領域を形成しているとともに、それぞれスイッチング素子を介して上記走査線および信号線に電氣的に接続された複数の画素電極と、を備え、

上記各信号線は、上記表示領域の外方に延出した引き出し配線部を有し、

上記各引き出し配線部は、上記走査線を形成した走査線層からなる第 1 配線層、および上記信号線を形成した信号線層からなり、絶縁層を介して上記第 1 配線層に積層された第 2 配線層を有する積層構造に構成されているとともに、上記第 1 配線層と第 2 配線層とを互いに電氣的に接続した接続部を有し、

上記接続部は、上記画素電極を形成した画素電極層からなる接続パターンを有し、

上記接続パターンは、上記第 1 配線層に接続された第 1 接続領域と、上記第 2 配線層に接続された第 2 接続領域と、を備え、第 1 および第 2 接続領域の幅は、それぞれ上記第 1 および第 2 接続領域間の間隔よりも広く形成されていることを特徴とする表示装置のアレイ基板。

**【請求項 4】** 上記スイッチング素子は、半導体層と金属層とを積層して構成された薄膜トランジスタを有し、

上記引出し配線部は、上記薄膜トランジスタの半導体層

および金属層とそれぞれ共通の半導体層および金属層を含む積層構造からなり、上記引出し配線部の半導体層および金属層はほぼ同一の外形を有し、上記接続パターンは上記接続部の最上層に位置していることを特徴とする請求項 3 に記載の液晶表示のアレイ基板。

**【請求項 5】** 第 1 絶縁基板と、上記第 1 絶縁基板上にマトリクス状に設けられた複数の信号線および走査線と、上記第 1 絶縁基板上で、上記信号線および走査線により囲まれた領域にそれぞれ設けられているとともにスイッチング素子を介して上記信号線および走査線に電氣的に接続され、表示領域を形成した複数の画素電極と、を有するアレイ基板と、

上記アレイ基板に対向配置された第 2 絶縁基板と、上記第 2 絶縁基板上に設けられ上記画素電極と対向した対向電極と、を有する対向基板と、

上記アレイ基板と対向基板との間に封入された液晶組成物と、を備え、

上記アレイ基板の各信号線は、上記表示領域の外方に延出した引き出し配線部を有し、

上記各引き出し配線部は、上記走査線を形成した走査線層からなる第 1 配線層、および上記信号線を形成した信号線層からなり、絶縁層を介して上記第 1 配線層に積層された第 2 配線層を有する積層構造に構成されているとともに、上記第 1 配線層と第 2 配線層とを互いに電氣的に接続した接続部を有し、

上記接続部は、上記画素電極を形成した画素電極層からなる接続パターンを有し、

上記接続パターンは、上記第 1 配線層に接続された第 1 接続領域と、上記第 2 配線層に接続された第 2 接続領域と、を備え、第 1 および第 2 接続領域の幅は、それぞれ上記第 1 および第 2 接続領域間の間隔よりも広く形成されていることを特徴とする表示装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、アクティブマトリクス型の液晶表示装置に用いられるアレイ基板、およびこれを備えた液晶表示装置に関する。

**【0002】**

**【従来の技術】** 一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟んで対向配置されたアレイ基板および対向基板を備えている。アレイ基板は、絶縁基板上に複数本の信号線および走査線をマトリクス状に配線し、信号線および走査線で囲まれる各領域に設けられた画素電極をスイッチング素子を介して信号線と走査線との交点部に接続することにより構成されている。また、対向基板は、絶縁基板上に透明電極材料から成る対向電極を設けて構成されている。

**【0003】** アレイ基板上の信号線および走査線は、それぞれ表示領域外に引き出され、アレイ基板の側縁部に設けられた給電電極にそれぞれ接続されているとともに

に、これらの給電電極を介して外部駆動回路等と電氣的に接続されている。

【０００４】また、近年、製造歩留まりを向上させるため、信号線の内、表示領域から給電電極まで延びる引出し配線部を積層構造とすることにより、断線の確率を低減させた液晶表示装置が提供されている。例えば、逆スタガー型の薄膜トランジスタ（以下ＴＦＴと称する）をスイッチング素子として用いた液晶表示装置において、上記積層構造の引出し配線部は、絶縁層を介して積層された第１配線および第２配線を有し、第１配線は走査線層により形成され、第２配線は信号線層によって形成されている。そして、これら第１および第２配線は、例えば、２個所で接続電極を介して互いに接続されている。

【０００５】このような積層構造の引出し配線部を有するアレイ基板は、従来、７回のフォト・エッチング工程により製造されていたが、近年、生産性向上を図るために、フォト・エッチング工程の回数を削減した製造方法が提案されている。

【０００６】その１つとして、製造プロセスの内、半導体層および信号線層を形成するためのフォト・エッチング、並びに、信号線の給電電極の形成および保護層加工のためのフォト・エッチングをそれぞれ同時に行い、かつ、画素電極を最後に成膜、加工する方法が提案されている。この製造方法によれば、フォト・エッチング行程の回数を５回に低減できるため、製造期間の短縮化により生産性が向上する。

【０００７】

【発明が解決しようとする課題】しかしながら、このような製造方法にてアレイ基板を製造した場合、引出し配線部を構成する走査線層と信号線層とを電氣的に直接接続することができず、画素電極層を介して走査線層と信号線層とを電氣的に接続している。

【０００８】画素電極材料としては、金属よりも抵抗率が高く透光性を有するＩＴＯ膜が広く用いられており、上記製造方法により製造したアレイ基板の引出し配線部では、電氣的接続部の抵抗にＩＴＯの抵抗が含まれることになる。そのため、引出し配線部の電氣的接続部分においてＩＴＯパターンの抵抗による表示信号の電氣的損失が生じ、液晶表示装置の表示品位に悪影響を及ぼす。

【０００９】この発明は、以上の点に鑑みなされたもので、その目的は、製造工程の簡略化を図れるとともに、配線の積層構造部における電氣的接続部の電気抵抗を低減し、優れた表示品位を得ることが可能な液晶表示装置のアレイ基板、およびこれを備えた液晶表示装置を提供することにある。

【００１０】

【課題を解決するための手段】上記目的を達成するため、この発明に係る液晶表示装置のアレイ基板は、絶縁基板と、上記絶縁基板上に設けられた複数の配線と、上記絶縁基板上に設けられ、それぞれスイッチング素子を

介して上記配線に電氣的に接続された複数の画素電極と、上記配線に接続されているとともに、絶縁層を介して積層された第１配線層および第２配線層を有する積層構造部と、を備え、上記積層構造部は、上記第１配線層と第２配線層とを互いに接続した接続部を有し、上記接続部は、上記画素電極を形成した画素電極層と共通の導電層からなる接続パターンを有している。

【００１１】そして、上記接続パターンは、上記第１配線層に接続された第１接続領域と、上記第２配線層に接続された第２接続領域と、を備え、第１および第２接続領域の幅は、それぞれ上記第１および第２接続領域間の間隔よりも広く形成されていることを特徴としている。

【００１２】上記構成のアレイ基板において、画素電極層の抵抗率を $\rho$ 、第１接続領域と第２接続領域との間隔を $L$ 、第１および第２接続領域の内、狭い方の幅を $W$ 、接続パターンの膜厚を $d$ とした場合、接続パターンの抵抗 $R$ は以下の式で近似される。

$$R = \rho \cdot L / (W - d) \dots \dots \dots (1)$$

上記（１）式より、 $R$ を低減するためには $L/W$ の値を小さくするか、あるいは $d$ の値を大きくすればよいことが判る。しかし、 $d$ を大きくすることは画素電極を構成する画素電極層の膜厚を厚くすることであり、画素電極の透過率低下を招く。

【００１３】透過率が低下すると、液晶表示装置の表面輝度の低下分を補償するため、液晶表示装置の背面に位置するバックライトの管電流を増大させて発光輝度を増大させなければならない。発光輝度の増加は消費電力を増大させるため、例えば液晶表示装置をノートブック型パーソナルコンピュータのディスプレイに用いた場合、バッテリー消費時間を短縮させることになり、好ましくない。

【００１４】従って本発明によれば、第１および第２接続領域の幅を第１および第２接続領域間の間隔よりも幅広にすることにより、つまり、 $L/W$ を小さくすることにより、画素電極の透過率を低下させることなく第１配線層と第２配線層との電氣的接続部における接続パターンの抵抗を低減することができ、電氣的損失による表示品位の低下を防止することができる。

【００１５】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態に係るアクティブマトリクス型の液晶表示装置について詳細に説明する。図１に示すように、液晶表示装置は、液晶パネル１０、液晶パネルを駆動するための信号線駆動回路基板１２、走査線駆動回路基板１４、各駆動回路基板と液晶パネルとを電氣的に接続した複数のテープキャリアパッケージ（ＴＣＰと称する）１６を備えている。

【００１６】図１および図２に示すように、液晶パネル１０はアレイ基板１８および対向基板２０を備え、これ

10

20

30

40

50

ら基板は、周縁部を後述するシール剤によって貼り合わせるにより、所定のギャップをおいて対向配置されている。そして、アレイ基板18と対向基板20の間には、それぞれ配向膜23、24を介して、液晶組成物26が封入されている。アレイ基板18および対向基板20の外表面には、それぞれ偏光板28、30が配置されている。

【0017】図2および図3に示すように、アレイ基板18は第1絶縁基板として機能するガラス基板31を有し、このガラス基板上には、配線として800×3本の信号線32と600本の走査線34とが互いに直交してマトリクス状に設けられている。信号線32と走査線34とで囲まれる領域には、それぞれITOからなる画素電極36が設けられ、各画素電極は、スイッチング素子としての逆スタガー型の薄膜トランジスタ（以下TFTと称する）38を介して、信号線32と走査線34との交差部に接続されている。そして、多数の画素電極36によりほぼ矩形状の表示領域40が規定されている。

【0018】各走査線34は、例えば、モリブデンタングステン（Mo-W）合金等の低抵抗金属材料により形成されている。そして、各走査線34は、ガラス基板31の対向する2つの短辺間に延在し、一方の端部は、表示領域40を越えて一方の短辺まで引き出され、ガラス基板31上の走査線給電電極47に接続されている。そして、走査線給電電極47は、TCP16を介して走査線駆動回路基板14に接続されている。

【0019】また、信号線32は、窒化膜からなるゲート絶縁膜43を介して、走査線34上に走査線と略直交して配置されている。この信号線32は、例えば、モリブデン（Mo）合金等の低抵抗金属により形成されている。各信号線32は、ガラス基板31の対向する2つの長辺間に延在している。

【0020】そして、各信号線32の一方の端部は、表示領域40を越えて一方の長辺まで引き出され、ガラス基板31上の信号線給電電極44に導通した引出し配線部46を構成している。そして、信号線給電電極44は、TCP16を介して信号線駆動回路基板12に接続されている。

【0021】図2から良く分かるように、各TFT38は、走査線34自体をゲート電極50とし、ゲート電極上にゲート絶縁膜43を介してi型アモルファスシリコン（a-Si）からなる半導体層52が形成され、チャネル領域を構成している。また、半導体層52上には、走査線34に自己整合されて成るチャネル保護膜53として窒化シリコン層が形成されている。

【0022】そして、半導体層52は、n+型a-Si膜57およびソース電極54を介して画素電極36に電氣的に接続されているとともに、n+型a-Si膜57およびドレイン電極55を介して信号線32に接続されている。なお、半導体層52としては、ポリシリコン

（p-Si）や化合物半導体等を用いることもできる。

【0023】図2に示すように、対向基板20は第2絶縁基板として機能する透明なガラス基板56を備え、このガラス基板上には、クロム（Cr）の酸化膜からなる遮光層58が形成されている。遮光層58は、アレイ基板18上のTFT38、信号線32と画素電極36との間隙、および走査線34と画素電極36との間隙をそれぞれを遮光するように、マトリクス状に形成されている。

【0024】ガラス基板56上において、アレイ基板18側の画素電極36と対向する位置には、赤、緑、青のカラーフィルタ層60が形成されている。そして、これら遮光層58、カラーフィルタ層60に重ねて、ITOからなる透明な対向電極61、配向層24が順に設けられている。

【0025】一方、本実施の形態に係る液晶表示装置のアレイ基板18によれば、各信号線32の引出し配線部46は、積層構造に形成されている。すなわち、図3ないし図5に示すように、引出し配線部46は、ガラス基板31上に形成された第1配線層46aと、ゲート絶縁層43および半導体層52を介して第1配線層46a上に重ねて形成された第2配線層46bと、で構成されている。第1配線層46aは、走査線34を構成するMo-W合金からなる走査線層の一部によって形成され、第2配線層46bは、信号線32を構成するMo合金からなる信号線層の一部によって形成されている。また、第2配線層46b上には保護層70が形成されている。

【0026】引出し配線部46は、表示領域40の境界を間に挟んで表示領域40側と信号線給電電極44側との2箇所に位置した接続部64を有し、第1および第2配線層46a、46bは各接続部において互いに接続されている。なお、一方の接続部64は信号線給電電極44と一体に形成されている。

【0027】表示領域側の接続部64を代表して説明すると、この接続部は、画素電極36を構成するITOからなる画素電極層の一部によって形成された接続パターン72を有している。この接続パターン72は、保護層70上に形成され接続部64の最上層に位置している。そして、接続パターン72は、第1配線層46aに接続された第1接続領域72a、および第2配線層46bに接続された第2接続領域72bを有し、第1および第2配線層46a、46bは接続パターン72を介して互いに電氣的に接続されている。

【0028】第1および第2接続領域72a、72bはそれぞれほぼ矩形状に形成され、その幅W1、W2は、第1および第2接続領域間の間隔Lよりも大きくなるように形成されている。すなわち、接続部64の接続パターン72は、W1>L、W2>Lの関係を満たすように形成されている。なお、図5においては、接続部64の構成を明確に表すために、Y方向の寸法をX方向に比べ

て20倍の縮尺で示している。実際にはY方向の各段差は小さく、ほぼ平坦とみなすことができる。また、各引出し配線部46の他方の接続部64も上記と同様に構成されている。

【0029】次に以上のように構成されたアレイ基板18の製造方法について説明する。先ず、図6に示すように、ガラス基板31上に走査線層として3000オングストローム厚のMo-W層をスパッタ法により成膜した後、この走査線層をフォト・エッチングすることにより、所定形状の走査線34、ゲート電極50、および信号線引出し配線部46の第1配線層46aを形成する。

【0030】次に、走査線34のパターン検査を行った後、SiOからなる4000オングストローム厚のゲート絶縁膜43、TFT38のチャネル領域となる半導体層52として1000オングストローム厚のi型a-Si膜を、それぞれCVD（ケミカルヴェーパデポジション）法によってガラス基板31の表面全体に被膜する。

【0031】続いて、SiNからなるチャネル保護膜53をCVD法によって2000オングストローム厚に被膜した後、このチャネル保護膜のみをフォト・エッチングにより所定の形状に加工する。

【0032】次に、CVD法によりn+型a-Si膜を1000オングストローム厚に被膜し、これに続いてスパッタ法によって信号線層としてのMo層を3000オングストローム厚に成膜する。その後、これらの層をフォト・エッチングすることにより、図7に示すように、所定形状の信号線32、ソース電極54、ドレイン電極55、および引出し配線部46の第2配線層46b、並びに所定形状の半導体層52、n+型a-Si膜57を形成する。同時に、引出し配線部46の接続部64も図8および図9に示すように所望の形状に加工する。

【0033】続いて、SiNよりなる保護膜70をCVD法により2000オングストローム厚に成膜する。その後、保護膜70の所定部分、つまり、走査線の給電電極47に重なる部分、引出し配線部46の接続部64の第1および第3接続領域を形成する部分、およびソース電極54と画素電極36とを電気的に接続する部分をフォト・エッチングによって除去する。

【0034】次に、スパッタ法により画素電極層としてITOを1000オングストローム厚に成膜した後、フォト・エッチングによって所定形状の画素電極36、給電電極44、47、および引出し配線部46の接続パターン72をそれぞれ加工する。そして、最後に配向膜23を成膜することによりアレイ基板18が完成する。

【0035】上記のように製造されたアレイ基板18の検査終了後、アレイ基板18の周縁部にシール剤を塗布し、アレイ基板18および対向基板20の周縁部同志を貼り合わせ、更に、これら基板間に液晶組成物26を封入することにより液晶パネル10が製造される。

【0036】以上のように構成された液晶表示装置によ

れば、信号線32の引出し配線部46を積層構造とすることにより、断線不良の発生率を低減し信頼性の向上および製造歩留まりの向上を図ることができる。また、従来に比較して、フォト・エッチング工程を5回に低減でき、生産効率を向上させることができる。

【0037】更に、引出し配線部46の接続パターン72において、第1配線層46aに接続した第1接続領域72a、および第2配線層46bに接続した第2接続領域72bの幅W1、W2は、これら第1および第2接続領域間の間隔Lよりも幅広に形成されている。

【0038】ここで、ITOからなる画素電極層の抵抗率を $\rho$ 、第1接続領域72aと第2接続領域72bとの間隔をL、第1および第2接続領域の内、狭い方の幅をW、接続パターン72の膜厚をdとした場合、抵抗Rは以下の式で近似される。

$$R = \rho \cdot L / (W - d) \dots \dots \dots (1)$$

従って、上記のように $W > L$ とすることにより、接続パターン72の材料として抵抗率が金属と比べて大きいITO膜を用いた場合でも、接続パターンの抵抗Rを低減することができる。そのため、画素電極の透過率低下を補償するためのバックライト消費電力の増大を招くことなく、接続パターンの抵抗を低減し、表示信号の電気的損失による表示品位の低下を防止することができる。

【0039】なお、この発明は上述した実施の形態に限定されることなく、この発明の範囲内で種々変形可能である。例えば、上述した構成の接続部を有する積層構造部は、信号線の引出し配線部に限らず、走査線の引出し配線部、あるいは、信号線、走査線と他の配線との接続部分にも適用可能である。

【0040】

【発明の効果】以上詳述したように、この発明によれば、積層構造部分の接続部に、画素電極層からなる接続パターンを用いて製造工程の簡略化を図れるとともに、配線の積層構造部分における電気的接続部の電気抵抗を低減し、優れた表示品位を得ることが可能な液晶表示装置のアレイ基板、およびこれを備えた液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る液晶表示装置の斜視図。

【図2】上記液晶表示装置の断面図。

【図3】上記液晶表示装置のアレイ基板を示す平面図。

【図4】上記アレイ基板の引出し配線部の接続部を示す平面図。

【図5】図4のA-A線に沿った上記接続部の断面図。

【図6】上記アレイ基板の製造工程において、ゲート電極、走査線、および引出し配線部の第1配線層を形成した状態を示す平面図。

【図7】上記アレイ基板の製造工程において、信号線、ソース電極、ドレイン電極、引出し配線部の第2配線層

を形成した状態を示す平面図。

【図 8】図 7 に示す製造工程における引出し配線部の接続部を示す平面図。

【図 9】図 8 の B-B 線に沿った接続部の断面図。

【符号の説明】

- 1 8…アレイ基板
- 2 0…対向基板
- 2 6…液晶組成物
- 3 2…信号線
- 3 4…走査線
- 3 6…画素電極

\* 3 8…T F T

4 3…ゲート絶縁層

4 6…引出し配線部

4 6 a…第 1 配線層

4 6 b…第 2 配線層

5 0…ゲート電極

5 2…半導体層

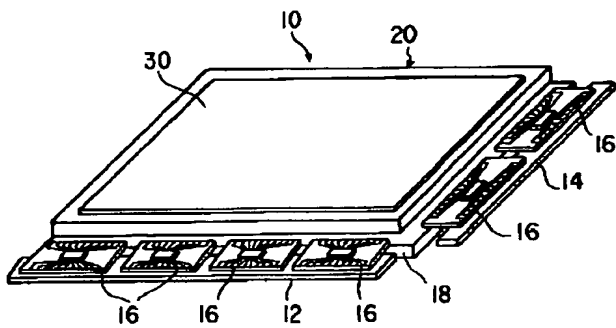
6 4…接続部

7 2…接続パターン

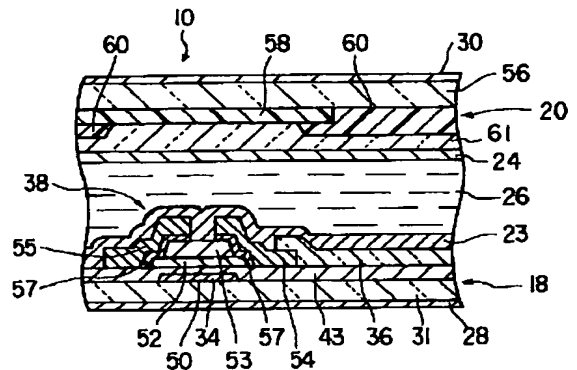
10 7 2 a…第 1 接続領域

\* 7 2 b…第 2 接続領域

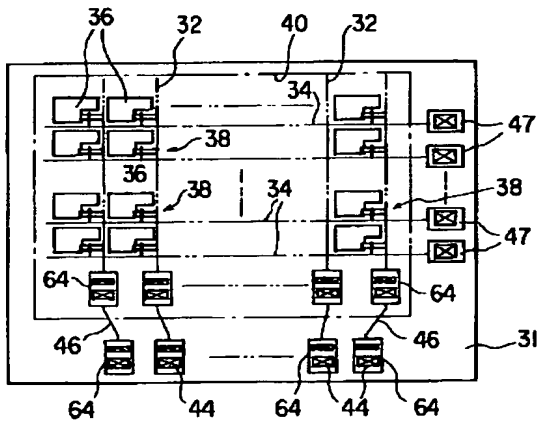
【図 1】



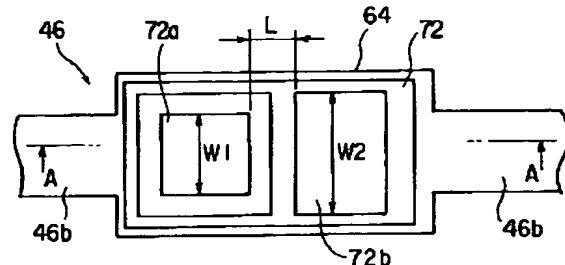
【図 2】



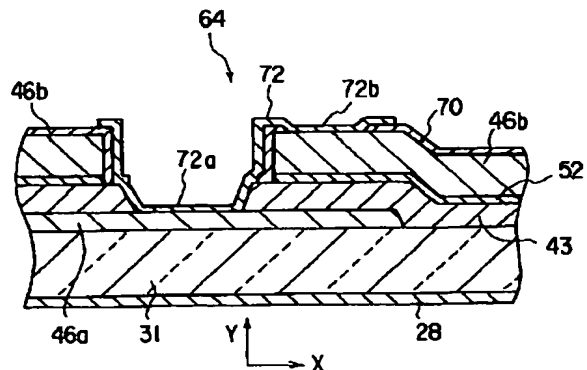
【図 3】



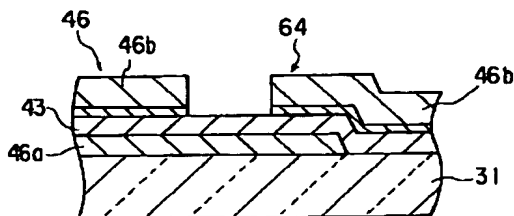
【図 4】



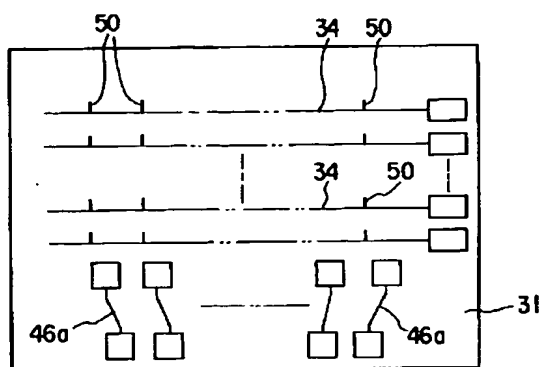
【図 5】



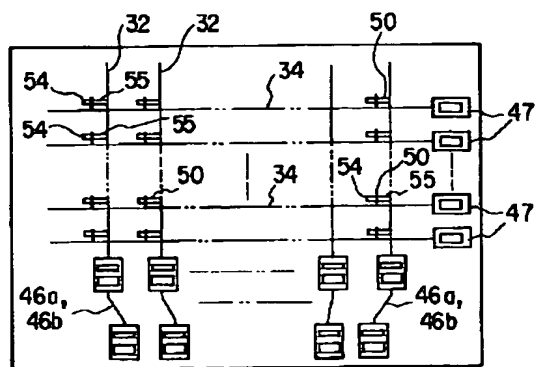
【図 9】



【図 6】



【図 7】



【図 8】

